

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: 2000066776 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11220368

(51) Intl. Cl.: G06F 1/32 G06F 1/04

(22) Application date: 03.08.99

(30) Priority: 03.08.98 US 98 128030

(43) Date of application
publication: 03.03.00(84) Designated
contracting states:

(71) Applicant: LUCENT TECHNOL INC

(72) Inventor: NICOL CHRISTOPHER JOHN
SINGH KANWAR JIT

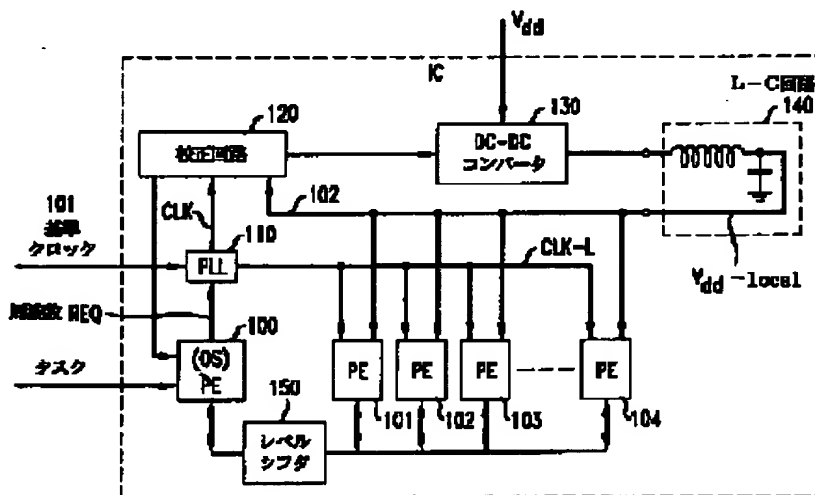
(74) Representative:

(54) METHOD FOR
CONTROLLING POWER
CONSUMPTION IN SUB-
CIRCUIT OF SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To compensate fluctuation in an operation condition and operation temp. and to make power consumption to min. by setting a power source voltage added to a sub-circuit to a min. level in order to confirm the proper operation of the sub-circuit by means of a decided frequency based on the characteristic of the sub-circuit.

SOLUTION: The operation system of a processing element(PE) 100 confirms a required completion time, divides the aggregation body of takes equally as much as possible, PE is considered by the task which requires much execution time and a clock frequency is adjusted in order to permit PE with a max. load to execute the assigned task within the required completion time. Thus, when the frequency is decided once, a min. power source voltage is decided. In this case, the power source voltage to be added to the sub-circuit is set to the min. level in order to confirm the proper operation of the sub-circuit by the decided frequency based on the characteristic of the sub-circuit.



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-66776

(P2000-66776A)

(43) 公開日 平成12年 3 月 3 日 (2000. 3. 3)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 1/32		G 0 6 F 1/00	3 3 2 Z
1/04	3 0 1	1/04	3 0 1 C

審査請求 未請求 請求項の数46 O L (全 10 頁)

(21) 出願番号 特願平11-220368

(22) 出願日 平成11年 8 月 3 日 (1999. 8. 3)

(31) 優先権主張番号 0 9 / 1 2 8 0 3 0

(32) 優先日 平成10年 8 月 3 日 (1998. 8. 3)

(33) 優先権主張国 米国 (U S)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッドLucent Technologies
Inc.アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(74) 代理人 100081053

弁理士 三俣 弘文

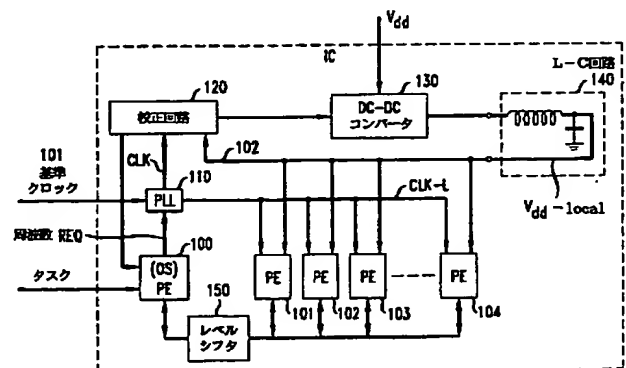
最終頁に続く

(54) 【発明の名称】 システムのサブ回路の電力消費を制御する方法

(57) 【要約】

【課題】 動作条件および動作温度の変動を補償できかつ消費電力を最少にするような方法および回路を提供する。

【解決手段】 本発明のシステムのサブ回路の電力消費を制御する方法は、(A) 割り当てられたタスクを実行するために割り当てられた時間を確認するステップと、(B) 前記の割り当てられた時間内で割り当てられたタスクを完全に実行するために、サブ回路が動作しなければならない周波数以上の最低周波数を決定するステップと、(C) 前記サブ回路の特性に基づいて、前記決定された周波数でサブ回路の適正な動作を確認するために、前記サブ回路に加わる電源電圧を最低のレベルに設定するステップとからなることを特徴とする。



【特許請求の範囲】

【請求項 1】 (A) 割り当てられたタスクを実行するために割り当てられた時間を確認するステップと、

(B) 前記の割り当てられた時間内で割り当てられたタスクを完全に実行するために、サブ回路が動作しなければならない周波数以上の最低周波数を決定するステップと、

(C) 前記サブ回路の特性に基づいて、前記決定された周波数でサブ回路の適正な動作を確認するために、前記サブ回路に加わる電源電圧を最低のレベルに設定するステップとからなることを特徴とするシステムのサブ回路の電力消費を制御する方法。

【請求項 2】 (D) 前記サブ回路が動作すべき周波数が、前記所定の周波数に設定され、前記電圧が設定された後、前記タスクを実行するステップをさらに有することを特徴とする請求項 1 記載の方法。

【請求項 3】 マルチプロセッササブ回路内で実行され、前記割り当てられたタスクは複数のサブタスクを含み、

(E) 前記マルチプロセッササブ回路の複数のプロセッサに前記サブタスクを割り当てるステップと、

をさらに有し、その結果前記プロセッサの中の 1 つが、他のプロセッサのサブタスクの処理負荷に比較して最大の処理負荷を実行し、

前記 (E) のステップは、前記 (B) のステップの前に実行され、

前記 (B) のステップは、割り当てられた時間内に割り当てられたサブタスクの処理を完全に実行するために、前記最大のサブタスクの負荷を実行するプロセッサが動作する最低周波数を確認することを特徴とする請求項 1 記載の方法。

【請求項 4】 (F) 前記 (E) のステップにしたがって、前記プロセッサにサブタスクを割り当てるステップをさらに有することを特徴とする請求項 3 記載の方法。

【請求項 5】 前記ステップは、マルチプロセッサ集積回路内で実行されることを特徴とする請求項 1 記載の方法。

【請求項 6】 前記ステップは、個々の共に動作する処理装置を含む回路内で実行されることを特徴とする請求項 1 記載の方法。

【請求項 7】 前記決定された周波数は、予め設定された周波数の増分量の倍数である値を探ることを特徴とする請求項 1 記載の方法。

【請求項 8】 前記 (C) のステップは、一方が他方より短い以外は同一の 2 つの回路の動作状態に反応することを特徴とする請求項 1 記載の方法。

【請求項 9】 本発明の方法は集積回路内で実行され、前記 2 つの回路は前記集積回路内に含まれることを特徴とする請求項 8 記載の方法。

【請求項 10】 前記 (C) のステップは、前記 2 個の回路のうちの短い方は故障した動作状態にあり、他方は作動動作状態にあるように電源電圧を調整することを特徴とする請求項 8 記載の方法。

【請求項 11】 (G) 割り当てられた時間内で前記割り当てられたタスクを完全に実行するために、新たなタスクが割り当てられたときには、サブ回路が動作しなければならない周波数以上の新たな最低周波数を決定するステップと、

(H) 前記新たな動作周波数は、前記サブ回路に対し設定されるべきかを決定するために、最低周波数を新たな最低周波数と比較するステップと、

(I) 前記 (H) のステップが、新たな最低周波数は前記最低周波数よりも低いと決定したときには、前記サブ回路が動作するよう設定された周波数を低減し、その後サブ回路に加えられる電源電圧を低減するステップと、

(J) 前記 (H) のステップが、新たな最低周波数は前記最低周波数よりも高くなければならぬときに、サブ回路に加えられる電源電圧を増加し、その後前記サブ回路が動作するよう設定された周波数を前記新たな最低周波数まで増加させるステップとをさらに有することを特徴とする請求項 2 記載の方法。

【請求項 12】 前記サブ回路の特性は周波数と電源電圧との間の関係で表されることを特徴とする請求項 1 記載の方法。

【請求項 13】 (K) 前記サブ回路の出力レベルを標準レベルに変換するステップをさらに有することを特徴とする請求項 1 記載の方法。

【請求項 14】 (L) 前記サブ回路の出力信号を前記システムのタイミング信号に同期させるステップをさらに有することを特徴とする請求項 1 記載の方法。

【請求項 15】 適用されたタスクと、前記タスクを実行するための時間間隔の仕様に応答して、前記時間間隔内で前記適用されたタスクを完全に実行するように最低の動作周波数であるプロセッサの動作周波数を生成するコントローラと、

前記コントローラに応答して、前記プロセッサの電源電圧の生成を指示する校正回路と、

前記校正回路に応答して前記プロセッサの電源電圧を生成し、この電源電圧を前記プロセッサに与える電源と、からなる回路において、

前記コントローラは、前記プロセッサに対し、前記電源電圧が前記プロセッサに加えられた後、および前記プロセッサに加えられたクロック周波数が動作の最低周波数に設定された後、前記プロセッサが前記タスクを実行するよう前記コントローラが指示し、その結果前記適用されたタスクが前記時間間隔内で完全に終了することを特徴とする回路。

【請求項 16】 前記プロセッサと前記校正回路と前記電源の増幅素子の全てが、1 個の回路基板上にあること

を特徴とする請求項15記載の回路。

【請求項17】 前記プロセッサと前記校正回路と前記電源の増幅素子の全てが、集積回路内に形成されることを特徴とする請求項15記載の回路。

【請求項18】 前記回路の入力／出力ポートと前記プロセッサ間に配置されたレベルコンバータ回路をさらに有し、前記入力／出力ポートと前記プロセッサ間を通る電圧レベルを変換することを特徴とする請求項15記載の回路。

【請求項19】 前記コントローラは、前記校正回路に加えられる第1周波数の第1クロック信号と、前記プロセッサに加えられる第2周波数の第2クロック信号とを生成するクロック信号生成器を有し、前記第2周波数は、第1周波数またはそれ以下の周波数に設定されることを特徴とする請求項15記載の回路。

【請求項20】 前記コントローラは、前記適用されたタスクの結果、前記コントローラが前記プロセッサの現在の動作周波数よりも高い動作周波数を生成するときには、前記校正回路に対し前記電源電圧を増加させるよう指示し、前記校正回路が前記電源電圧を増加させるよう指示されたときには、前記コントローラは前記電源電圧が増加した後のみ、前記第2周波数を前記第1周波数に設定することを特徴とする請求項19記載の回路。

【請求項21】 前記コントローラは、前記適用されたタスクの結果、前記コントローラが前記プロセッサの現在の動作周波数よりも低い動作周波数を生成するときには、前記校正回路に対し前記電源電圧を減少させるよう指示し、前記校正回路が前記電源電圧を減少させるよう指示されたときには、前記コントローラは前記電源電圧が減少する前に、前記第2周波数を前記第1周波数より低い周波数に設定することを特徴とする請求項15記載の回路。

【請求項22】 前記コントローラは、前記適用されたタスクの結果、前記コントローラが前記プロセッサの現在の動作周波数よりも高い動作周波数を生成するときには、前記校正回路に対し前記電源電圧を増加させるよう指示し、前記校正回路が前記電源電圧を増加させるよう指示されたときには、前記コントローラは前記電源電圧が増加した後のみ前記第2周波数を前記第1周波数に設定することを特徴とする請求項15記載の回路。

【請求項23】 前記コントローラは、前記適用されたタスクの結果、前記コントローラが前記プロセッサの現在の動作周波数よりも低い動作周波数を生成するときには、前記校正回路に対し前記電源電圧を減少させるよう指示し、前記校正回路が前記電源電圧を減少させるよう指示されたときには、前記コントローラは前記電源電圧が減少する前に、前記第2周波数を前記第1周波数より低い周波数に設定することを特徴とする請求項19記載の回路。

【請求項24】 前記タスクは、複数のサブタスクを含み、

前記プロセッサは、複数の処理用素子を含み、前記コントローラは、前記処理用素子に前記サブタスクを区分けし、前記区分けに基づいて前記プロセッサの動作周波数を生成することを特徴とする請求項15記載の回路。

【請求項25】 前記コントローラは、前記時間間隔内で実行を完了する最も負荷の重い処理用素子用に最低の動作周波数を評価することにより前記プロセッサの動作周波数を生成し、

前記最も負荷の重い処理用素子は、全体として最大の処理時間を必要とするようなサブタスクが割り当てられた処理用素子であることを特徴とする請求項24記載の回路。

【請求項26】 前記コントローラは、処理負荷基準に基づいて複数の処理用素子間で等しくサブタスクを区分けする目的で前記サブタスクを区分けすることを特徴とする請求項25記載の回路。

【請求項27】 前記処理用素子の入力／出力ポートに接続されたレベルコンバータをさらに有することを特徴とする請求項24記載の回路。

【請求項28】 前記処理用素子と前記コントローラと前記校正回路と前記電源の増幅素子は、集積回路内で形成されることを特徴とする請求項24記載の回路。

【請求項29】 前記校正回路は、前記プロセッサの少なくとも一部の2個のコピーを含み、

1つのコピーは、前記プロセッサ内で前記部分が動作するのと同じ高速で動作し、

前記他のコピーは、低速で動作することを特徴とする請求項15記載の回路。

【請求項30】 前記プロセッサは、N個の処理用素子を有し、

前記コントローラは、N個のコントローラのサブモジュールを有し、

前記校正回路は、N個の校正回路サブモジュールを有し、

前記電源は、N個の電源モジュールを有し、

前記i番目の校正回路サブモジュールは、i番目のコントローラサブモジュールに応答してi番目の電源モジュールに指示を出し、

前記i番目の電源モジュールは、パワーをi番目の処理用素子に与え、

前記i番目の処理用素子は、前記i番目のコントローラサブモジュールに応答することを特徴とする請求項15記載の回路。

【請求項31】 前記プロセッサと前記校正回路と前記電源の増幅素子は、集積回路内に形成されることを特徴とする請求項30記載の回路。

【請求項32】 前記タスクを受け入れる処理用素子を

さらに有し、

前記タスクは、複数のサブタスクを有するときにはN個の処理用素子間で前記サブタスクを分けることを特徴とする請求項31記載の回路。

【請求項33】 前記タスクを受け取る前記処理用素子とプロセッサと校正回路と前記電源の増幅素子とは、集積回路内で形成されることを特徴とする請求項32記載の回路。

【請求項34】 前記コントローラ内に前記N個の処理用素子の少なくとも1つの電源を切る手段をさらに有することを特徴とする請求項30記載の回路。

【請求項35】 前記処理用素子の各々と関連づけられ、前記処理用素子の入力／出力ポートに接続されるレベルコンバータをさらに有することを特徴とする請求項30記載の回路。

【請求項36】 前記レベルコンバータに接続された同期化回路をさらに有することを特徴とする請求項35記載の回路。

【請求項37】 コントローラ処理用素子と、複数のタスク取扱い処理用素子と、前記コントローラ処理用素子に应答して、前記プロセッサの電源電圧の生成を指示する校正回路と、前記校正回路に应答して、前記タスク取扱い用処理用素子の電源電圧を生成する電源回路とを有し、前記コントローラ処理用素子は、前記タスク取扱い処理用素子に対し、選択された処理周波数でタスクを実行するよう指示することを特徴とする回路。

【請求項38】 前記コントローラ処理用素子と、タスク取扱い処理用素子と、校正回路は1個の回路基板上に形成されることを特徴とする請求項37記載の回路。

【請求項39】 前記コントローラ処理用素子と、タスク取扱い処理用素子と、校正回路は集積回路内に形成されることを特徴とする請求項37記載の回路。

【請求項40】 前記コントローラ処理用素子と、前記タスク取扱い処理用素子との間に配置されたレベルコンバータをさらに有することを特徴とする請求項37記載の回路。

【請求項41】 適用されたタスクと、前記タスクを実行するための時間間隔の仕様に应答して、前記時間間隔内で前記適用されたタスクを完全に実行するように最低の動作周波数であるプロセッサの動作周波数を生成する第1手段と、

前記第1手段に应答して、前記プロセッサの電源電圧の生成を指示する第2手段と、

前記第2手段に应答して前記プロセッサの電源電圧を生成し、この電源電圧を前記プロセッサに与える第3手段と、

からなる回路において、

前記1手段は、前記プロセッサに対し、前記電源電圧が前記プロセッサに加えられた後、および前記プロセッサ

に加えられたクロック周波数が動作の最低周波数に設定された後、前記プロセッサが前記タスクを実行するよう前記第1手段が指示し、その結果前記適用されたタスクが前記時間間隔内で完全に終了することを特徴とする回路。

【請求項42】 割り当てられたタスクを割り当てられた時間間隔内で完了するために、前記プロセッサを動作させるのに必要な周波数の関数として、前記プロセッサに電源電圧を加えるステップを含むプロセッサの動作方法。

【請求項43】 前記関数は、前記プロセッサ内の電力消費を最少にするものであることを特徴とする請求項42記載の方法。

【請求項44】 前記周波数は、割り当てられた時間間隔内に前記タスクを完了できるような最低レベルに設定されることを特徴とする請求項42記載の方法。

【請求項45】 前記ステップは、リアルタイムのオペレーティングシステムの制御の下で前記プロセッサ内で実行されることを特徴とする請求項5記載の方法。

【請求項46】 前記割り当てられたタスクは、複数のサブタスクを有し、前記方法は、前記プロセッサ内で前記リアルタイムのオペレーティングシステムの制御下で実行され、前記マルチプロセッササブ回路のプロセッサ間で前記タスクを割り当てるステップをさらに有することを特徴とする請求項45記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子回路に関し、特に電子回路内の電力消費を制御する方法と回路に関する。

【0002】

【従来の技術】集積回路は、最悪の動作状態においても速度要件を満足するよう設計されている。ルーセントテクノロジー社の0.35 μ m3.3VCOMS技術においては、「最悪状態での遅い速度」速度は、125℃の温度で2.7Vのチップ供給電圧V_{dd}で規定されている。チップの最悪の場合の電力消費は、3.6Vの最大電源電圧で決められている。「最悪状態での遅い速度」と「公称状態での速度」と「最悪状態での速い速度」におけるチップ性能の差は、図1に示す通りであり、同図においては、25段のリング発振器の周波数は異なる電源電圧とプロセスの状態で示されている。

【0003】3.3Vの公称動作電圧においては、「最悪状態での遅い速度」(worst caseslow =WCS)と「最悪状態での速い速度」(worst case fast =WCF)との間の速度差は2.2倍もある。同図に示したグラフからは、チップが「最悪の場合の遅い速度」のときでも140MHzで2.1Vの電源電圧で動作するよう設計されている場合には、電源電圧が2.1Vに落ちた場合でも製造されたチップの特性は140MHzで動作

し続けるような公称規格を有している。

【0004】CMOS回路の電力消費は、動作周波数に対しては一次で、電源電圧に対しては4次で増加する。そのため電源電圧を低減すると電力消費を大幅に低減できることになる。例えば公称動作電圧を3.3Vから2.1Vに落とすことにより、140MHzのチップの公称電力消費は、回路構成を変えずに60%低減することができる。このことは、公称仕様の特性からのチップの仕様変動を測定し、この測定結果に基づいて電源電圧を修正できることを仮定している。

【0005】電源電圧を可変にするために、プログラマブルdc-dcコンバータが用いられている。今日の最も効率的なアプローチは、バックコンバータ回路(buck converter circuit)である。この回路は当業者に公知である。

【0006】電圧を周囲温度に応じて変えることは、動作温度が変動したりプロセスの場所が変わっても高性能を達成する技術としてインテルのペンティアム製品群に導入されている。これは米国特許第5,440,520号に開示されている。このアプローチは、オンチップの温度センサーと、その関連処理回路を用いて特定の電源電圧を提供するためのオフチップである電源への規約(情報の転送)の問題を生じさせている。

【0007】このプロセス変動の情報は、製造の最終段階で各デバイス内にハードで組み込まれている(hard-coded)。このアプローチは、公称の製造処理からの変動を決定するために、各チップをテストする必要がある、コストがかかる。数社のメーカーが、ペンティアムと互換性のあるdc-dcコンバータ回路を製造しており、これは“Powering the Big Microprocessors”, by B. T ravis, EDN, August 15, pp. 31-44, 1997に開示されている。

【0008】近年バックコントローラ回路(buck controller circuit)をチップ上に集積することに興味を持たれている。唯一のオフチップ素子は、バックコンバータ内に用いられるインダクタ(通常約10μH)とキャパシタ(通常約30μF)である。80%の以上の効率が、指定された電源と負荷電流の範囲において一般的に達成されている。これに関しては、“A High-Efficiency Variable Voltage CMOS Dynamic dc-dc Switching Regulator,” by W. Namgoong, M. Yu, and T. Meng, Proc. IEEE ISSCC97 pp. 380-381, February, 1997を参照のこと。

【0009】研究者は、またプロセスおよび温度変動を計算するために、オンチップ電圧変更技術を実験している。これに関しては、“Variable Supply-Voltage Scheme for Low Power High-Speed CMOS Digital Design,” by T. Kuroda et al, CICC97Conference Proceedings, and JSSC Issue of CISS97, May, 1998を参照のこと。前掲の論文は、回路の速度は電源電圧が低下した場合で

もしきい値電圧を変えることにより維持できる(あるいは少なくともスピードの低下を最少にできる)ことを示している。しきい値電圧を調整することは、基板のバイアス電圧を変更することによりオンチップ上で達成できる。これらの技術は、しきい値電圧の増加と共にリーク電流が大きくなりすぎないようにする必要がある。

【0010】かくしてチップへの電源電圧の変動は、電源電圧の予測しない変動をなくすことによりおよびプロセスと動作温度の変動を考慮に入れることにより性能を改善できることが知られている。

【0011】

【発明が解決しようとする課題】したがって本発明の目的は、動作条件および動作温度の変動を補償できかつ消費電力を最少にするような方法および回路を提供することである。

【0012】

【課題を解決するための手段】本発明によれば、マルチプロセッサチップの性能の改善は、電力消費を最少にするために、チップの動作電圧を制御し、かつチップの処理負荷をダイナミックに制御することにより、オン/オフの制御よりもより大幅に達成できる。マルチチッププロセッサ内のコントローラは、チップ内の処理負荷を等しくするために、個々のプロセッサにタスクを割り当て、その後このコントローラがチップ上のクロック周波数を低下させ、適正な動作および電源電圧を最終的に低減しながらチップ上のクロック周波数をできるだけ低いレベルに低下させる。さらに本発明は、マルチプロセッサチップ内の個々の処理素子内の電源電圧を制御し、かつマルチプロセッサチップが動作するシステム内の他の素子の電源電圧を制御することにより電力消費が改善される。

【0013】

【発明の実施の形態】図2はマルチプロセッサチップのブロック図である。このマルチプロセッサチップは、処理用素子(PE:processing element)100, 101, 102, 103, 104を有し、各処理用素子(PE)は、中央演算処理装置(CPU)とローカルキャッシュメモリ(図示せず)とを有する。リアルタイムのオペレーティングシステム(OS)が処理用素子(PE)100内にあり、多くのデジタル信号処理用の種々のアプリケーションの中から他の処理用素子にタスクを割り当てている。

【0014】図2のシステムの負荷は、時間と共に変動しある時間で実行されるアプリケーションに依存している。例えばマルチメディアのブロードバンドアクセスシステム用のセットトップボックス(set-top-box)は、HDTV信号を受信する必要がある。また同時にコンピュータからインターネットへデータを転送し、遠隔地にある制御ハンドセットからのボタンによるリクエストに応答している。何時間にも亘ってこのアプリケーション

のダイナミックな合成物は、システム上に異なる負荷要件を課している。

【0015】最大限に利用されるシステムにおいては、利用可能なプロセッサの全ては、システムが遭遇する最大の負荷を満足する際には、最高速度で動作する必要がある。あるときにはマルチプロセッサチップの電力消費は、最大レベルにある。しかし、負荷要件が低下するとシステムは電力消費を下げなければならない。通常、コンピュータはユーザがキーを押すのを待つために、その時間の99%を費やしている。これは平均電力消費を画期的に低減させる大きな機会である。システムがその性能を落とすような特定のアプローチによって、現実の電力削減に大きな影響を与えることができる。

【0016】図2の構成において、本発明によれば処理される必要のあるアプリケーションは、処理用素子(P E) 100上で実行されるリアルタイムオペレーティングシステム(real time operating system=R T O S)の制御下でN個の処理用素子(P E) 100にマッピングされる。各タスクに対し実行される必要のあるインストラクションの数は分かっており、オペレーティングシステムに利用可能なようになされ、オペレーティングシステム内のスケジューラが、この情報を用いて計算をバランスさせるために利用可能なプロセッサにタスクを割り当てる最適の方法を決定している。当然のことながら、中間的な目標は並行処理(parallelism)を最適に最大化することであり、全ての処理用素子(P E) 100の中において、図2のシステムに現れる負荷を均等に分配することである。

【0017】図2のシステム上で走るアプリケーションが、N個の同時のタスクストリームに分割されると、各処理用素子(P E)の負荷は軽くなる。これにより処理用素子(P E)のクロック周波数が低減し、タスクの分割が完全に行われると、図2のシステムのクロック周波数は $1/N$ に低減する。上記したように周波数を低減することにより、必要な電源電圧を低下させ、そしてこの電源電圧を低下させることがシステムの電力消費をまた(4次で)低下させる。

【0018】例えば1個の処理用素子(P E)上で実行されるあるアプリケーションは、140MHzの処理用素子(P E)の動作を必要とする場合には、図1から分かるように処理用素子(P E)は約2.7Vの電源で動作しなければならない。アプリケーションが2個の同時のタスクに分割され、2.7Vの電源で140MHzで動作するよう設計されている2個の処理用素子(P E)に割り当てられた場合には、この処理用素子(P E)は70MHzで動作し、その電源電圧は1.8Vでよい。動作電圧がこのように低下すると、電力の削減は55%となる。アプリケーションが完全に2つの等しい負荷タスクストリームに完全に分割されると、そのために55%が2個のP Eに対する達成可能な最大の電力削減量で

ある。

【0019】上記の例から2個の処理用素子(P E)が用いられ、動作周波数が70MHzに低減した場合には、ここに示された低減は、140MHzで動作するあたかも1個の処理用素子(P E)が存在するかの如くタスクを実行することが望ましいということが仮定されている。即ちこの仮定とは、チップに割り当てられたタスクが終了しなければならないある時点が存在するというものである。実際にはタスクが終了しなければならない特定の要件は存在しない。タスクが終了しなければならないときの要件は、チップの最高の動作周波数には関連していない。

【0020】例えば、上記のチップ(各処理用素子(P E)は140MHzで動作するものとする)は、その基本周波数は160MHzであるシステムに採用されている。このような構成においては、タスクをチップの2つの処理用素子(P E)に分割し、各処理用素子(P E)が80MHzで動作することは好ましいが、その理由はチップの入力と出力の関数をシステム内の他の素子に同期させることが容易だからである。かくしてある意味においては、それは制御を行っている割り当てられたタスクの集合体に対する予測完了時間であり、チップがサポートできる最大周波数の低減は実行されるタスクの分割により制御される。

【0021】このため処理用素子(P E) 100の動作システムは必要な完了時間を確認し、できるだけ等しくタスクの集合体を(必要とされる処理時間の観点から)分割し、実行する多くの時間を必要とするタスクで処理用素子(P E)を考慮し、最大負荷の処理用素子(P E)がその割り当てられたタスクを必要とされる完了時間内に実行することを確実にするために、クロック周波数を調整することが必要である。かくして、周波数が一旦決定されると、最少の電源電圧が決定される。電源電圧の決定は、図1に示した表に対する基準により、あるいは手元のマルチプロセッサの実際の性能を評価することにより行われる。

【0022】上記したようにオペレーティングシステムは、温度変動と処理変動を追跡することによりさらに電源電圧を低減することができる。例えばチップが公称特性を有する場合には、図1の線20に沿って動作することができ、これは70MHzで動作しているときのわずかに1.5Vの電源を必要とするだけである。

【0023】図2の議論に戻ると、プログラム可能な周波数クロックが適宜乗算された入力基準クロック(ライン101)を用いて高切替単位(例えば5MHz)の増分量で変更可能な位相ロックループ周波数合成回路110を介して生成される。2つのクロックが、位相ロックループ周波数合成回路110(2つの合成回路を必要とする)により生成される。これらはC1kクロックとC1k-lクロックであり、C1kが増分しているときに

10

20

30

40

50

は、 $C1k-L$ は $C1k$ よりも1周波数ステップだけ低い。例えば、5MHzの切替単位の位相ロックループ周波数合成回路110においては、 $C1k$ が75MHzから80MHzに増分するときは、 $C1k-L$ の値は75MHzに設定される。

【0024】 $C1k-L$ は、処理用素子(P E)に加えられ、 $C1k$ は校正(calibration)回路120に加えられ、この校正回路120が電源電圧指示を与える。この電源電圧指示は、dc-dcコンバータ130に与えられ、このdc-dcコンバータ130にL-C回路140が接続されている。dc-dcコンバータ130とL-C回路140の合成回路が電源電圧 $V_{dd-local}$ を生成し、これが校正回路120にライン102を介して加えられる。この $V_{dd-local}$ 電源電圧は、また全ての処理用素子(P E)にも与えられる(但し、オペレーティングシステム処理用素子(P E)100を除く)。

【0025】周波数 $C1k$ に遅れる周波数 $C1k-L$ のラグ(遅れ)を有する理由は、より高い周波数を受け入れるために電源電圧を上げる前に、処理用素子(P E)に加えられるクロック周波数は増加してはならないからである。さもないと処理用素子(P E)は適正な動作をすることができない。校正回路120はライン102上のレベルを観測して、それが処理用素子(P E)100~104が適正に動作するのに必要な電圧に対応しているか否かを決定し、また同時にライン102上の信号がL-C回路140の出力でのリングングが発生した場合はいつでも、ライン102上の信号が安定するまで待機する。

【0026】ライン121上の信号は情報(yes/no)を処理用素子(P E)100に与え、電源電圧が安定したことをオペレーティングシステムに通知する。電圧が安定し、 $C1k$ が必要な周波数に到達したときには、オペレーティングシステムは $C1k-L$ を $C1k$ に設定し、その後どの処理用素子(P E)が収納できるように設定されたかに応答するために処理用素子(P E)上へのタスクの割り当てを変更する。

【0027】図3は新たなタスクが生成され、マルチプロセッサ上の負荷が増加したときの $C1k$ 、 $C1k-L$ 、 $V_{dd-local}$ の増加状態と、マルチプロセッサ上の負荷が減少したときの $C1k$ 、 $C1k-L$ 、 $V_{dd-local}$ が減少したときのタイミング図を示す。具体的に説明すると、同図は70MHzで1.8Vの電源電圧で動作するシステムを示し、そして負荷が3段階で140MHzに増加した状態を示す。

【0028】2.7Vの電源が安定している時に電源電圧プロットで示すように新たなタスクが実行されるためにイネーブルされる。図3にしたがってその後のある時間においては、タスクが完了するとマルチプロセッサ上の負荷を減少させる。この負荷が減少したことにより、クロック周波数は100MHzにまで低下し、電源電圧

は2.1Vまで低下する。これは電源電圧が減少しながら処理用素子(P E)が適正に動作することを行わせるために、 $C1k$ に先行する $C1k-L$ でこの場合2回のステップで行われる。

【0029】校正回路120は数種類の技術のうちの1つを用いて、回路があるクロック周波数で動作するのに必要な電圧を決定する。そのうちの1つの技術は、前掲のKuroda著の文献に記載されている。処理用素子(P E)(101~104)の各々が処理用素子(P E)の最終速度を制御するようなクリティカルパスを有することが認識されると、校正回路120は処理用素子(P E)回路のクリティカルパスを含む処理用素子(P E)回路の一部の2つのコピーを用いる。2つのコピーの内1つは、若干遅くなるよう意図的に設計されたものである。

【0030】これらの両方のコピーは、クロック信号 $C1k$ でかつライン102の $V_{dd-local}$ の電源電圧から動作して、その電圧が校正回路120内で調整され、一方周波数 $C1k$ での動作は、若干遅い処理用素子(P E)は適正に動作することはできないが、他の処理用素子(P E)は適正に動作できるようになる。これにより処理用素子(P E)は、それらが故障するかも知れないポイントよりもわずかに上の電源電圧から動作する。校正回路120内の2本のクリティカルパスのコピーは、処理用素子(P E)101~104と同じような温度変動を受けるので、 $V_{dd-local}$ の電源電圧は、温度変動および異なる動作周波数仕様に適宜追従する。

【0031】図2のシステムのオペレーティングシステムを用いてシステム負荷の変動に反応する。より多くのタスクが「実行すべき」リスト内に入ると処理用素子(P E)100のオペレーティングシステムは、つけ加えられた計算要件のバランスをとる正しい方法で計算しそのタスクをプロセッサに分ける。その後必要な動作周波数を計算する。

【0032】周波数は図3のステップ変動に示すように、システム内に漸次プログラムされている。これにより $V_{dd-local}$ の電源電圧と起こり得る回路故障上の過剰なノイズを阻止している。例えば、システムが50MHzで動作して、75MHzで動作する必要がある場合には、クロック周波数は5MHzのような遅い速度でゆっくりと増加する。さらにまた上記したように、 $V_{dd-local}$ の電源電圧が処理用素子(P E)を動作させるクロック周波数の増加に先立って増加すると、そして増加した処理機能が必要とされる場合には、クロックは減少した処理機能が十分満足するまで電源電圧の減少に先だって減少する。

【0033】 $V_{dd-local}$ の電源電圧は、回路が故障となる前のしばらくの間は低下するだけであるが、その時点においてオペレーティングシステムは、不必要な処理用素子(P E)を「シャットダウン」するためのゲート

クロック技術を採用する。当然のことながら電源電圧 $V_{dd-local}$ は負荷の関数として変動するという事実により、処理用素子 (PE) 101~104 と処理用素子 (PE) 100 の間のインタフェース (およびマルチプロセッサチップと「外側世界」との間のインタフェース) の必要性を示す。このことは従来のレベルコンバータ 150 によって達成される。これは処理用素子 (PE) 101~104 の電圧レベルと処理用素子 (PE) 100 の電圧レベルの間を基本的に変換する。

【0034】動作周波数を負荷に合わせることで、および動作周波数を追跡するために電源電圧を調整するという概念は、各処理用素子 (PE) がそれ自身の電源電圧を有するように拡張することができる。ある種のアプリケーションにおいては、このアプローチの利点は明かであるが、特に全ての処理用素子 (PE) に計算負荷が等しく分散されるようなときにはチップ毎の電圧変更が最も効率的であるということを理解したときには最も明かとなる。

【0035】しかし、ある種のアプリケーションにおいては、同時に等しく分担された負荷の片に分割することができないようなタスクに遭遇したとき、マルチプロセッサ内のある処理用素子 (PE) は、より高い動作周波数およびより高い動作電圧を必要とするようなタスクに遭遇することがある。この場合、マルチプロセッサチップ全体の周波数と電圧を上げる必要がある。

【0036】チップ内の各処理用素子 (PE) に対し、別々の電源を用いることはオペレーティングシステムが独立にプログラムを最低の動作周波数にさせ、各処理用素子 (PE) に対し最低の電源電圧にすることによりこの制限を解決できる。このような構成例を図4に示す。図4の各処理用素子 (PE) は、処理用素子 (PE) 100 の機能を実行する (ただし処理用素子 (PE) 間でタスクを分割しない場合を除いて) 独立のコントローラを必要とする。

【0037】図4に示すように、全てのコントローラは1個のコントローラ200で実現され、これは他の処理素子を含む集積回路の別の処理素子でもよい。各処理素子は、校正回路120と、dc-dcコンバータ130と、LC回路140のような電圧変換回路とを必要とする。コントローラ200が処理用素子 (PE) 間で図4のマルチプロセッサチップに対しタスクを割り当てる。

【0038】個々の処理用素子 (PE) が動作する周波数が、マルチプロセッサチップが採用されているシステム内で互いに他の素子とは異なる場合には、同期の問題を解決しなければならない。即ち、同期系が異なる周波数で動作する処理用素子 (PE) 間 (または他のシステム素子) 間でのデータを通信するのに必要な場合には、同期化システムを採用しなければならない。

【0039】マルチプロセッサに割り当てられたタスク

の集合体が、所定の時間に完了するように周波数を調整することが可能である。このような場合、マルチプロセッサが採用されているシステム内で、マルチプロセッサ対他の素子の同期の問題は最少となる。しかし、このことはマルチプロセッサチップの処理用素子 (PE) 間でのデータを交換する際は同期化の問題が依然として残る。

【0040】このような同期化を実行するためには、図4の装置内の各処理用素子 (PE) は、レベルコンバータ150、非同期通信ネットワーク160を含む装置に接続されている。レベルコンバータ150は処理用素子 (PE) の可変電圧スイングを固定レベルのスイングに変換し、非同期通信ネットワーク160は異なるクロック領域の問題を解決する。

【0041】マルチプロセッサにおける上記の原理は、他のシステム構成にも拡張可能である。これには異なる周波数と動作電圧で動作する複数の別々のプロセッサ素子およびプロセッサ素子として通常は見なされないような素子を具備するシステムを含む。例えば、高速メモリ内にパソコンの異なるアプリケーション用のプログラム構造とデータを維持することは現在一般的に用いられている手法である。

【0042】新たなアプリケーションが呼び出されると、より多くの情報がこの高速メモリ内に記録され、それはメモリが満杯になるまで行われる。その後新たなアプリケーションが読み出されると、高速メモリ内の情報の一部は廃棄され、別の情報がより遅いハードディスク内に記憶され、この開放されたメモリに新たなアプリケーションが入れられる。高速メモリ内に記憶されているメモリは、新たなアプリケーションが読み出される前には、古くアクセスされる可能性が低いと予測されている。

【0043】このような予測の下に高速メモリの一部はゆっくりと開放される (保持されるのに必要なデータの一部を記憶している)。即ち、より低いクロック周波数が高速メモリとハードディスクと共にそれに対応して低い電源電圧が適用される、その結果ハードディスクの操作と高速メモリの操作の両方において全体的な電力削減が可能となる。

【0044】上記の説明において本発明の一実施例においては、マルチプロセッサチップ内の全ての処理用素子 (PE) は、1個の制御された電源電圧で駆動されている。上記の他の実施例においては、マルチプロセッサチップ内の各処理用素子 (PE) は、それ自身の個々に制御された電源電圧により駆動される。しかし、この中間が存在する、即ちマルチプロセッサチップの処理用素子 (PE) は、グループに分割され各グループの処理用素子 (PE) はそれ自身の制御された電源電圧で動作するよう構成することもできる。他の例を引用すると、図2の実施例は最低の電源電圧を確立するためにほとんど同

一の2個のクリティカルパスの回路を採用している。別の構成例としては、電圧は図1に示したのとは異なる予め設定された周波数-電圧の関係にしたがって設定することもできる。

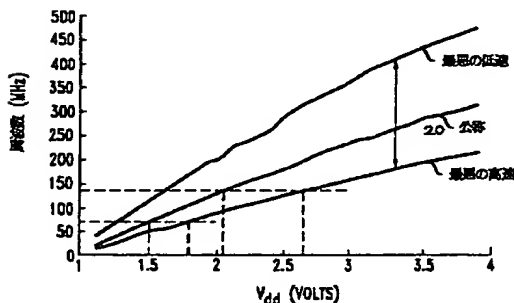
【0045】レベルコンバータ150が、図2では処理用素子(PE)100と他の処理用素子(PE)との間に配置することができるが、これは処理用素子(PE)100が V_{dd} で動作しないからである。処理用素子(PE)100はまた $V_{dd}-local$ で動作しないこともあり、この場合レベルコンバータが処理用素子(PE)100と相互作用する図2の回路の入力/出力ポート間に配置される。

【0046】電源回路は、図2に示すような回路外に素子を有する必要はない。集積回路内で完全に製造されるような回路設計も存在する。

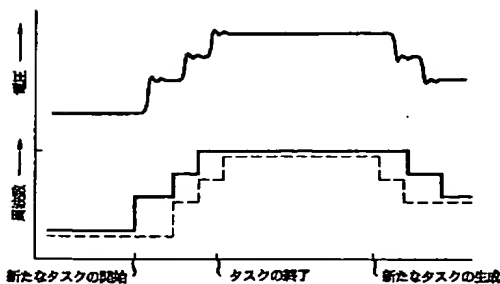
【0047】適宜のタイミング状態が適合する場合に、図3の電圧と周波数の2段階の適用をやめるような変形例も実現可能である。

【図面の簡単な説明】

【図1】



【図3】



【図1】0.35 μ m技術のCMOSチップにおいて電源電圧と最大動作周波数との関係を示すグラフ

【図2】本発明による電源電圧制御機能を実現するマルチプロセッサチップのブロック図

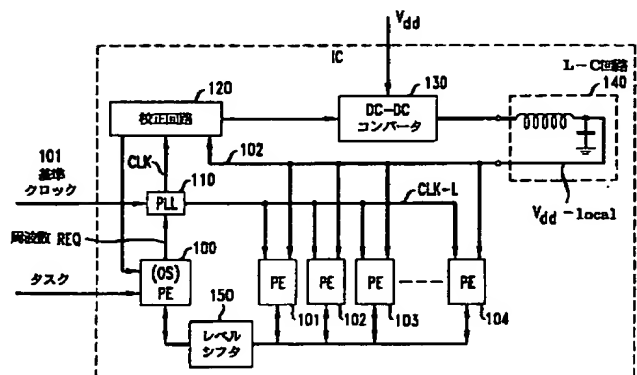
【図3】図2の電圧制御クロックCLKと図2の処理用素子に加えられるクロックCLK-Lと処理素子に加えられる電源電圧 $V_{dd}-local$ の関係を示すグラフ

【図4】各処理用素子に固有の電源電圧制御機能を実現するマルチプロセッサチップのブロック図

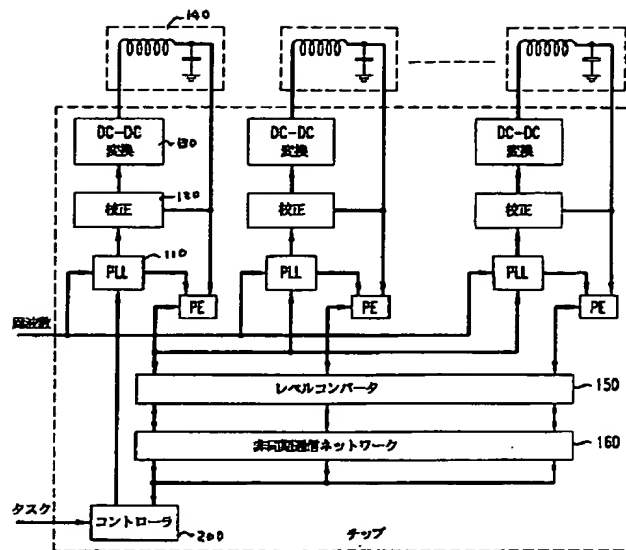
【符号の説明】

100, 101, 102, 103, 104 処理用素子(PE)
110 位相ロック周波数合成回路
120 校正回路
130 d c - d c コンバータ
140 L - C 回路
150 レベルシフト
160 非同期通信ネットワーク

【図2】



【図4】



フロントページの続き

(71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 クリストファー ジョン ニコル
オーストラリア, スプリングウッド エ
ヌ. エス. ダブリュー, チェイセリング
アベニュー 12

(72)発明者 カンワー ジット シン
アメリカ合衆国, 07730 ニュージャージ
ー, ハズレット, ケリー ドライブ 23